سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
کاهش سخت افزار و توان نویز کوانتیزه در مدولاتورهای دلتا-سیگمای دیجیتال و پیاده سازی توسط زبان توصیف سخت افزار VHDL

محل انتشار:
فصلنامه مهندسی برق و الکترونیک ایران, دوره 16, شماره 2 (سال: 1398)

تعداد صفحات اصل مقاله: 12

نویسندگان:
مهدی تیزنوبیک - *دانش آموخته کارشناسی ارشد- گروه برق - دانشکده مهندسی - دانشگاه شهید چمران اهواز - اهواز- ایران*

ابراهیم فرشیدی - *استاد گروه برق - دانشکده مهندسی - دانشگاه شهید چمران اهواز- اهواز- ایران*

خلاصه مقاله:
در این مقاله یک ساختار جدید برای مدولاتور دلتا-سیگمای دیجیتال پیشنهاد شده است، که علاوه بر کاهش سخت افزار مبتنی بر روش تودرتو، سطح توان نویز کوانتیزه خروجی و شاخک های موجود در آن نسبت به معماری های قبلی کاهش یافته است. به منظور کاهش تاخیر مدار، توان مصرفی و افزایش فرکانس بیشینه از جمع کننده های پایپلاین و پرش رقم نقلی استفاده شده است. شبیه سازی ساختار پیشنهادی نشان می دهد که نویز کوانتیزه 15 dB نسبت به معماری مرسوم کاهش می یابد. همچنین نتایج پیاده سازی دیجیتال کاهش 20 % سخت افزار، 15 % توان مصرفی و افزایش 3 برابری فرکانس کاری بیشینه را گزارش می دهد.

کلمات کلیدی:
مدولاتور دلتا-سیگمای دیجیتال، معماری تودرتو، نویز کوانتیزه، شاخک، پایپلاین، جمع کننده ی پرش رقم نقلی، ترکیب کننده فرکانس کسری

لینک ثابت مقاله در پایگاه سیویلیکا:

https://civilica.com/doc/993052