

عنوان مقاله:

طراحی یک مدار تمام جمع کننده مد جریان با فناوری 32 نانومتر نانولوله کربنی

محل انتشار:

پنجمین کنفرانس ملی مهندسی برق و سیستم های هوشمند ایران (سال: 1397)

تعداد صفحات اصل مقاله: 7

نویسندگان:

سعید کلانتری دهقی - دانشکده مهندسی برق، واحد نجف آباد، دانشگاه آزاد اسلامی، نجف آباد، ایران

سید محمدعلی زنجانی - دانشکده مهندسی برق، واحد نجف آباد، دانشگاه آزاد اسلامی، نجف آباد، ایران

مهدی دولتشاهی - دانشکده مهندسی برق، واحد نجفآباد، دانشگاه آزاد اسلامی، نجفآباد، ایران

خلاصه مقاله:

یکی از چالش های مهم طراحی مدارهای دیجیتالی رابطه ی بین میزان مصرف انرژی و سرعت مدار برای تغییر در کارایی طراحی است. تمام جمع کننده، اصلی ترین قسمت پردازش در مدارهای مورد استفاده در انجام عملیات محاسباتی ازجمله در کمپرسورها، چک کننده های برابری و غیره است. برای ساخت یک تمام جمع کننده روش های بسیاری وجود دارد. اگرچه تمامی روش ها دارای تابع عملکرد یکسان هستند ولی در نحوه اعمال ورودی ها، روش ایجاد گره های میانی و تعداد ترانزیستورهای به کاررفته تنوع وجود دارد. توان مصرفی کم، نویز پذیری ناچیز، مشابهت کارکرد با MOSFET، انتقال بالستیک الکترون ها درون کانال و در نتیجه تحرک پذیری بالای آنها از مزایای ترانزیستور اثر میدانی نانولوله کربنی است. از سوی دیگر، کوچک شدن ولتاژ تغذیه، طراحی مدارهای حالت ولتاژ خطی را مشکل می کند. از طرفی، مدارهای حالت ولتاژ پهنای باند سیگنال را محدود می سازند و دارای امپدانس خروجی کم می باشند. لذا طراحی مدارهای حالت جریان با حساسیت کم نسبت به تغییرات تغذیه و نیز امکان بهتر پردازش سیگنال و انجام اعمال ریاضی مانند جمع، مدنظر طراحان قرار گرفته است. در این پژوهش یک طراحی جدید از تمام جمع کننده مد جریان با استفاده از ترانزیستورهای اثر میدانی نانولوله کربنی ارائه می شود. همچنین با استفاده از شبیه سازی مدار پیشنهادی و تعدادی از مدارهای متعارف پیشین در هر دو فناوری CMOS و CNTFET، عملکرد بهتر تمام جمع کننده مد جریان معرفی شده در فناوری CNTFET رویت می شود. شبیه سازی ها توسط نرم افزار HSPICE و بر اساس مدل استاندارد ارائه شده 32 نانومتر توسط دانشگاه استنفورد در فناوری CNTFET، در ولتاژ تغذیه 0/9 ولت، دمای 27 درجه سانتیگراد، فرکانس کاری 100 MHz و 10 میلیآمپر جریان برای هر واحد ورودی انجام شده است. مدار پیشنهادی از لحاظ سرعت، دقت، توان مصرفی، تاخیر و در نهایت PDP در مقایسه با تمام جمع کننده های مد جریان متعارف پیشین همچنین از لحاظ تعداد ترانزیستور مصرفی نسبت به برخی از آنها عملکرد بهتری از خود نشان می دهد. تاخیر مدار پیشنهادی به میزان 34/3 پیکوثانیه و توان مصرفی متوسط مدار نیز برابر با 11/2 است و در نتیجه حاصل ضرب تاخیر در توان مصرفی PDP آنکه عملکرد کلی مدار را نشان می دهد، برابر با 0/38 فمتوزول است. که نسبت به نمونه مشابه 44%، CMOS بهبود در توان و 88% بهبود در تاخیر و 93/5% بهبود در PDP را نشان می دهد

کلمات کلیدی:

تمام جمع کننده، ترانزیستور اثر میدان نانولوله کربنی، حاصلضرب تاخیر در مصرف توان، ماسفت، مد جریان

لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/860852>



