

عنوان مقاله:

طراحی و پیاده سازی سخت افزاری فایروال با توان مصرفی کم و سرعت بالا بر روی یک تراشه

محل انتشار:

پانزدهمین کنفرانس کامپیوتر سالانه انجمن کامپیوتر ایران (سال: 1388)

تعداد صفحات اصل مقاله: 4

نویسندگان:

امیر چکینی - دانشگاه شهید بهشتی تهران

حمیدرضا ناجی - دانشگاه شهید بهشتی تهران

خلاصه مقاله:

روترها و فایروال ها باید عملیات طبقه بندی بسته را با سرعت، کارایی بالا و با توابع کارآمد انجام دهند. براین اساس طراحی کنونی فایروال ها اکثرا به سمت طراحی و پیاده سازی سخت افزاری در حرکت است. ما دراین مقاله به ارائه یک فایروال سخت افزاری و پیاده سازی آن با زبان VHDL برروی FPGA می پردازیم. ما بیان می کنیم که سیستم طراحی شده در این مقاله دارای سرعت و کارایی بالا ، مصرف توان کم و فضای اشغال شده کمی می باشد. برای افزایش سرعت پردازش و کاهش حجم سیگنالینگ در ارتباط با حافظه های خارجی متصل شده به FPGA که چندین برابرکنندتر از سرعت پردازش FPGA ها می باشند در این طراحی از حافظه های توکار (EMBEDDED) خود FPGA استفاده نموده و آن را با تکنیک پایپلایینی نیز در هم آمیخته ایم و به کارایی و سرعت بالا در عین مصرف توان کم دست یافته ایم. با این تکنیک قوانین فقط به صورت نرم افزاری توسط ADMIN روزآوری شده و نیازی به تغییر سخت افزار نمی باشد.

کلمات کلیدی:

فایروال ، پایپلایین، سیستم های توکار، پیاده سازی سخت افزاری، VHDL, FPGA

لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/79091>

