

## عنوان مقاله:

بررسی شبکه های روی تراشه سه بعدی با استفاده از الگوریتم های مسیریابی تحمل پذیری خطا

## محل انتشار:

دومین کنفرانس ملی دانش و فناوری علوم مهندسی ایران (سال: 1397)

تعداد صفحات اصل مقاله: 9

## نویسندگان:

مریم لطفی - دانشجو، دانشکده مهندسی کامپیوتر، واحد نجف آباد، دانشگاه آزاد اسلامی نجف آباد، ایران

الهام یعقوبی - استادیار، دانشکده مهندسی کامپیوتر، واحد نجف آباد، دانشگاه آزاد اسلامی نجف آباد، ایران

فرشته قادری - دانشجو، دانشکده مهندسی کامپیوتر، واحد نجف آباد، دانشگاه آزاد اسلامی نجف آباد، ایران

## خلاصه مقاله:

با تحول تکنولوژی Cها و نیاز روزافزون به سیستم های الکترونیکی، کاهش اندازه ترازیستورها و استفاده از میلیون ها ترازیستور در یک تراشه سبب به کارگیری مفومی به نام شبکه های روی تراشه شده است. در واقع شبکه روی تراشه به این معنا است که سیستم تک هسته ای به چند هسته ای تغییر می یابد. معماری ارتباطات اثر به سزایی بر روی نواحی، کارایی و توان مصرفی شبکه چند هسته ای دارد و ثابت کرده که مقیاس پذیر، قابل اعتماد و الگوی ارتباطی کارآمدی را پشتیبانی می کند و بسیاری از معایب و مشکلات روش های ارتباطی سیستم تک هسته ای را برطرف کرده است. [1] شبکه روی تراشه یک الگوی طراحی در حال رشد است که به دلیل افزایش سیستم چند پردازنده بر روی تراشه مقیاس پذیر است. به تازگی شبکه های سه بعدی روی تراشه در زمینه نظم تکنولوژی تحقق یافته تا کارایی برنامه های کاربردی را در دو هدف کلی و کاربردی دامنه های چند هسته ای بهبود دهد. با وجود این، خطاها می توانند مشاخره بالایی در شبکه های روی تراشه ایجاد کنند. الگوریتم های مسیریابی حل پذیری خطا متفاوتی در این زمینه ارائه شده که در این مقاله تعدادی از آنها مورد بررسی قرار گرفته است.

## کلمات کلیدی:

شبکه های روی تراشه، شبکه روی تراشه سه بعدی، تحمل پذیری خطا، الگوریتم مسیریابی، چند هسته ای، مقیاس پذیری

## لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/766197>

