سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
طراحی اسیلاتور LC تزویج ضربدری کم توان در تکنولوژی FinFET

محل انتشار:
دومین کنفرانس بین المللی مهندسی برق (سال: 1396)

تعداد صفحات اصل مقاله: 19

نویسندگان:
کمیل یزدانی - *دانشجوی کارشناسی ارشد مدارات مجتمع الکترونیک دانشکده مهندسی برق ، دانشگاه شهید بهشتی ، تهران ، ایران*

امید هاشمی پور تفرشی - *دانشیار دانشکده مهندسی برق ، دانشگاه شهید بهشتی ، تهران ، ایران*

خلاصه مقاله:
در این مقاله یک اسیلاتور تزویج ضربدری توان پایین با منبع جریان دنباله طراحی شده است. برای کاهش توان، این طراحی با تکنولوژی FinFET 7nm LSTP انجام شده است و همچنین از روش های کاهش Vdd ، کاهش فرکانس خروجی اسیلاتور، بکارگیری Vth های مختلف و تکنولوژی SOI برای این منظور استفاده و تاثیر هر یک از این عوامل بررسی شده است. از سویی برای کاهش نویز فاز اسیلاتور از روش فیلترینگ نویز منبع جریان دنباله استفاده شده است. توان تلفاتی در این مقاله نسبت به نمونه های مشابه دیگر و کارهایی که تابحال انجام شده است بیش از 90 درصد کاهش یافته است. شبیه سازی با HSPICE و در تکنولوژی FinFET 7nm LSTP با ولتاژ منبع تغذیه 0.7 volt انجام شده است؛ دامنه پیک تا پیک ولتاژ نوسانی خروجی 0,82 ولت ، فرکانس نوسان خروجی 3.9 GHz ، توان تلفاتی حدود 30nwatt و نویز فاز اسیلاتور -112.57 dBc/Hz در آفست 1 MHz میباشد.

کلمات کلیدی:
اسیلاتور تزویج ضربدری ، توان پایین ، low power ، فین فت ، FinFET

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/698620