سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:

طراحی یک Low Power Low Voltage CMOS OP AMP
دارای ترارسانش با تغییرات زیر 2% با معماری جدید در طبقه ورودی

محل انتشار:

شانزدهمین کنفرانس مهندسی برق ایران (سال: 1387)

تعداد صفحات اصل مقاله: 6

نویسندگان:

عبدالله کوروندی - *دانشگاه آزاد اسلامی واحد تویسرکان گروه الکترونیک*

محسن حیاتی - *دانشگاه رازی کرمانشاه گروه الکترونیک*

خلاصه مقاله:

در این مقاله به دو رهیافت جدید در زمینه طراحی تقویت کننده های عملیاتی مدار مجتمع در شرایط توان پایین و ولتاژ پایین Low Power Low Voltage CMOS OP AMPs در حوزه VDSM پرداخته شده که اساس این دو رهیافت بر این اصل استوار است که بتوان در افزاره های CMOS مقدار gm.ft/Id را بیشینه نمود و این امر وقتی محقق می شود که بایاس افزاره ها در مد وارونگی متوسط صورت پذیرد. در رهیافت اول شکل محاسبات از نظر نحوه بکارگیری معادلات مربوط به این روش مورد نظر بوده که با استفاده از این روابط، مشخصات ترانزیستورهای طبقه ورودی متشکل از زوج های موازی NMOS و PMOS که یک کعماری مرسوم در این زمینه محسوب می شوند، صریحا محاسبه شده اند اما در رهیافت دوم معماری جدیدی نیز در طراحی طبقه ورودی ارائه شده که با استفاده از آن داده های 130nm فناوری CMOS در شرایط تغذیه ±0/6 V و ولتاژهای آستانه Vtn = 0/33 V و Vtp=-0/35 V صورت گرفته است.

کلمات کلیدی:

ترارسانش ، VDSM ULP RFICs Rail to Rail OP AMP

لینک ثابت مقاله در پایگاه سیویلیکا:

https://civilica.com/doc/47816