سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
پیاده سازی الگوریتم کردیک در حالت برداری و دیتاهای 20 بیتی

محل انتشار:
چهارمین کنفرانس مهندسی برق و الکترونیک ایران (سال: 1391)

تعداد صفحات اصل مقاله: 9

نویسندگان:
سیاوش حیدرزاده - *دانشگاه آزاد اسلامی واحد علوم و تحقیقات تهران*

پویا ترک زاده - *دانشگاه آزاد اسلامی واحد علوم و تحقیقات تهران*

افشین کدیوریان - *دانشگاه آزاد اسلامی واحد علوم و تحقیقات تهران*

ناصر خطی - *دانشگاه آزاد اسلامی واحد علوم و تحقیقات تهران*

خلاصه مقاله:
در این مقاله هدف پیاده سازی الگوریتم cordic جهت محاسبه [فرمول در متن اصلی مقاله] می باشد. برای این منظور الگوریتم cordic را در حالت vectoring به کار می بریم. دیتا های ورودی 20 بیتی علامت دار و خروجی نیز 20 بیتی و از نوع بدون علامت خواهد بود. الگوریتم پیاده سازی شده تنها بر مبنای جمع، تفریق و شیفت می باشد و از هیچ عملوند دیگری نظیر ضرب و تقسیم و ... استفاده نشده است.

کلمات کلیدی:
VHDL, matlab,vectoring mode, cordic algorithm

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/164225