سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
طراحی مدار دیجیتال فوق کم توان برای دریافت و کدگشایی سیگنال فعالسازی گره های بیسیم در فناوری اینترنت اشیا

محل انتشار:
فصلنامه مهندسی برق و الکترونیک ایران, دوره 20, شماره 1 (سال: 1401)

تعداد صفحات اصل مقاله: 10

نویسندگان:
یوسف مافی - *University of Tehran*

سیدعلی حسینی - *Imam Khomeini International University*

خلاصه مقاله:
در این مقاله ساختاری جدید از آدرس دیکودرها (Address Decoder) بر مبنای فلیپ فلاپ (Flip Flop) برای بخش بیدارکننده سخت افزارهای بیسیم که با جذب انرژی محیط روشن نگاه داشته می شوند، ساختار پیشنهادشده برای آدرس دیکودر دیجیتال فوق کم توان در مقایسه با ساختار آدرس دیکودر دیجیتال متداول بسیار کم توان بوده و در سیستم هایی با طول آدرس بلندتر و نرخ داده بالاتر به همان میزان توان مصرفی پایین خواهد داشت. به منظور کاهش توان مصرفی، در ساختار پیشنهادی از مدار دیجیتال با ساختار ترتیبی و مدار های مقایسه گر و فعال گر و طراحی حالت خواب برای فلیپ فلاپ ها استفاده شده است و میزان تاخیر فعال شدن فلیپ فلاپ ها جهت محاسبه تاخیر در پاسخ دهی مدار بر اساس میزان توان ایستا ناشی از روشن بودن ماسفت ها بررسی می شود. شبیه سازی ساختارهای پیشنهادی بر اساس فناوری ۳۲ nm CMOS با ابزار شبیه سازی Hspice نشان می دهد که در ساختارهایی با طول آدرس ۶۴ بیت و نرخ داده ورودی ۱۰۰ کیلوبیت بر ثانیه در مقایسه با ساختار متداول بیش از ۹۰% کاهش توان مصرفی خواهیم داشت. همچنین مقایسه نتایج باکارهای مشابه و اضافه کردن بخش گیرنده ی مخابراتی از کارهای مشابه کاهش ۵۰% از توان مصرفی سیستم بیدارکننده را گزارش می دهد.

کلمات کلیدی:
,Address decoder, Internet of Things, Wake-up signal generator, Dynamic power, Hspice
آدرس دیکودر دیجیتال, اینترنت اشیاء, توان پویا, سیستم بیدارکننده, نرم افزار Hspice

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/1580255